

(1)日本特許庁 (JP)

## 公開特許公報 (A)

(1)出典公報

特開平7-312405

(1)公開日 平成7年(1995)11月28日

(5)登録記号	登録記号	内閣官報番号	F1	特許表示場所
HOIL 23/50		3		
21/60	311	6 6318-01		
21/271				
23/21		4 8617-01		
		2 8617-01		

審査請求 替候式 請求項の範囲 (合5頁) 並びに成り立つ

(1)出願番号 特願平6-102369	(1)出願人 000005108 株式会社日立製作所 東京都千代田区麹町四丁目6番地
(2)出願日 平成6年(1994)5月17日	(2)出願人 000233169 株式会社日立マイコンシステム 東京都小平市上木本町5丁目22番1号
	(3)発明者 金本 光一 東京都小平市上木本町5丁目20番1号 株式会社日立製作所半導体事業部内
	(4)発明者 田中 隆文 東京都小平市上木本町5丁目22番1号 株式会社日立マイコンシステム内
	(5)代理人 弁護士 松田 政喜 最終頁に成る

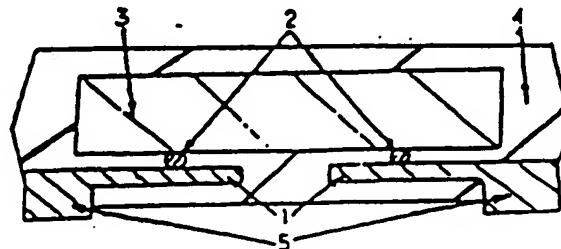
## (5)【発明の名前】半導体装置

## (5)【要約】

(目的) 半導体装置の基板実装における実装強度を向上すること。

(構成) 半導体チップとそれに電気的に接続された内部リードを樹脂で封止した半導体装置であって、内部半導体装置の封止樹脂部の底面もしくは、上面から内部リードの一端を突出させる。

図1



## 【特許請求の範囲】

(請求項1) キルヌチップとそれに電気的に接続された内蔵リードを組合して封止した半導体装置であつて、前記半導体装置の封止部内部の底面もしくは、上面から内蔵リードの一端を突出させることを特徴とする半導体装置。

(請求項2) 前記半導体チップと内蔵リードとはパンプを介して電気的接続してあることを特徴とする請求項1に記載の半導体装置。

(請求項3) 前記チップとそれに電気的に接続された底面のリードを組合して封止してある半導体装置であつて、前記封止部の一端部に、それぞれのリードの底面の一端がレジンにより埋め込まれ、その埋め込まれたリード底面が半導体チップとの電気的接続部をなし、それぞれリードの底面がレジンから露出し、その露出した底面が外側リードを介していることを特徴とする半導体装置。

## 【発明の詳細な説明】

## (0001)

(最高上の利用分割) 本発明は、半導体装置に適用して有効な技術に関するものである。

## (0002)

(従来の技術) 従来の半導体装置には、一端に内蔵リードと半導体チップをワイヤで接続したものとパンプで接続するものがあり、それら内蔵リードはともに半導体装置の封止部内部の底面から突出した構造を有つ。

## (0003)

(発明が解決しようとする課題) 本発明では、上記従来技術を改めた結果、以下の問題点を解消した。

(0004) 各種の半導体装置を実用したシステム設計等のグランシティングにおいて、半導体装置を構成する基板のサイズ等を縮小する必要が出てきた。このため、半導体装置のサイズを縮小する事で基板の実装密度を上げて基板サイズを縮小してきた。

(0005) この半導体装置の最小は、主に半導体チップの縮小によりなされたものであり、内蔵リードはその縮小の対象とはなっていなかった。

(0006) このため、最高上の半導体装置の内蔵リードが他の半導体装置に対する縮小効果はなされていないのが現状である。

(0007) したがって、従来の半導体装置における内蔵リードは、一端に半導体装置の封止部内部の底面から突出した構造を行っていることから、その封止部内部の底面から突出した外側リードの分だけ実装面を余分にとり、基板スペースにおける実装面が悪いという欠陥があった。

(0008) 本発明の目的は、半導体装置の基板スペースにおける実装面を向上することが可能な技術を提供することにある。

(0009) 本発明の構成ならびにその他の特徴と実用性

24頁12行、本明細書の2段及び3段目によって明らかにならうであろう。

## (0010)

(組合せ封止するための手段) 本題において明示された発明のうち、丸括弧なしの段落を発明に包含すれば、T2のとおりである。

(0011) 半導体チップとそれに電気的に接続された内蔵リードを組合して封止した半導体装置であつて、前記半導体装置の封止部内部の底面もしくは、上面から内蔵リードの一端を突出させる。

## (0012)

(作風) 上述した手順によれば、半導体チップとそれに電気的に接続された内蔵リードを組合して封止した半導体装置であつて、前記半導体装置の封止部内部の底面もしくは、上面から内蔵リードの一端を突出させることにより、半導体装置の封止部内部の占める面積内に内蔵リードが入り、反対の内蔵リードの突出によって余分にとられていた大きさ面積を縮小できるので、半導体装置の基板スペースにおける実装面を向上することが可能となる。

(0013) 以下、本発明の実施について、文脈とともに説明する。

(0014) なお、実施例を説明するための全圖において、同一機器を示すものは同一記号を附け、その通り直しの説明は省略する。

## (0015)

(実施例) 図1は、本発明の一実施例である半導体装置の構造を説明するためのものである。

(0016) 図1に示した本実施例の半導体装置は名前を冠しており、図2に左方の封止部からみた断面図、図3に右方の封止部からみた断面図、図4に底面からみた半導体装置をそれぞれ示す。

(0017) 図1～図4において、1は内蔵リードのみ、2はパンプ、3はチップ、4は封止部、5は外側リード部分をそれぞれ示す。

(0018) 本実施例の半導体装置は、図1に示すように、リードに開口が設けられており、内蔵リードとして機能する内蔵リード部分1と内蔵リードとして機能する外側リード部分5からなる。

(0019) このリードの構造は、リードの内蔵リード部分1をハーフエッチしたり、リードを複数に2枚以上重ねさせて切削することによって形成される。

(0020) 封止部4内においては、内蔵リード部分1上に付けられた、外側に半導体チップより成るパンプ2が付けられ、そのパンプ2を介して半導体チップ3と電気的に接続されている。なお、このととの内蔵リード部分1と半導体チップ3を電気的に接続する手段として、半導体チップ3間にあらかじめ付けたパンプであってよい。また、ワイヤ等を用いてしてもよい。

(0021) そして、図2～図4に示した封止部4から突出する内蔵リード部分1は、基板3に配置する本発明

それら。

[0022] これにより、又、前記封止部の表面から突出していたカギリードの分だけ、又はスペースを切り取めたり、他の部品等の実体に取り付けてたりすることが可能となる。

[0023] 次に、図5を用いて、本実施例の半導体部のリードフレームについて説明する。

[0024] 図5において、3Aは大きめのキズナチップ、3Bは小さめのキズナチップ、2Aは大きめのキズナチップと内部リード部分を含むパンプ、2Bは大きめのキズナチップと内部リード部分を含むパンプをそれぞれ示す。

[0025] 図5に示すように、本実施例の半導体部のリードフレームの形状は、フレームの中心附近から内部リードが斜め上に広がっている。

[0026] これにより、前記で示した異なるサイズのキズナチップである大きめのキズナチップ3Aを保持する場合でし、小さめのキズナチップ3Bを保持する場合でも、各キズナチップ3A、3Bのパッド位置を内部リード1上の接触可接続部に変更し、その位置にパンプ2A、2Bを設けることでキズナチップ3A、3Bと内部リード部分1とを固定できる。このパンプ直角による内部リードとキズナチップとの実質的な接続はワイヤ接続では得られない有用な手段である。

[0027] 丁なわち、本実施例のリードフレーム一つで多種のキズナチップを適用できる。

[0028] 次に、本発明の他の実施例を図6と図7に示す。

[0029] 図6に示す半導体部の例は、前述の図1に示した半導体部の内部リード部分1とカギリード部分の配置をなくしたものであり、内部リードとカギリードを実用化したリードを含む。丁なわち、本実施例によれば、リードの底面のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端部(上部)が半導体チップとの実質的な接続をなし、一方、リードの底面のはば1/3がレジンから露出。その露出した部位は実体部への接続部、つまりカギリードとなる。

[0030] これにより、実体内における基板とカギリードの接続部分の形状を考慮せるとともに、実用化パッケージが得られる。リードフレームに底面をつけなくともよくなる。

[0031] 図7に示す半導体部の例は、前述の図1に示した半導体部のキズナチップ3上に封閉用フィン6を設け、キズナチップからRセラウド熱を遮がしてやるものである。

[0032] なお、本実施例は各方向のキズナチップをそれぞれ取り付けたが正反対のキズナチップについても

同様である。

[0033] また、本実施例のCOL (CHIP ON LEAD)構造の半導体部には、底面からカギリードを突出させた例を取り上げたが、LOC (LEAD ON CHIP)構造等の半導体部においては、上部からカギリードを突出させる。

[0034] したがって、キズナチップとともに実質的に内蔵された内部リードを封閉して止めたキズナチップであって、実体部底面の封止部留めの底面もしくは、上部から内部リードの一端を突出させることにより、実体部底面の封止部留めのための底面内に外部リードがあり、又の外部リードの突出によって余分とされていた実体部は縮小できるので、半導体部の基板実体における実体部を向上することが可能となる。

[0035] 以上、本発明によつてなされた発明を、前記実施例によづき実質的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を達成しない範囲においては、又可としてあることは明である。

20 [0036]

(発明の効果) 本件において表示される発明のうち代表的なものによって実現される効果を簡単に説明すれば、以下のとおりである。

[0037] 本件はチップとそれに電気的に接続された内部リードを封閉して止めたキズナチップであって、前記キズナチップの封止部留めの底面もしくは、上部から内部リードの一端を突出させることにより、実体部底面の封止部留めのための底面内に外部リードがあり、又の外部リードの突出によって余分とされていた実体部を縮小できるので、半導体部の基板実体における実体部を向上することが可能となる。

(図面の筋書の説明)

(図1) 本発明の一実施例である半導体部の構造を説明するための図である。

(図2) 本実施例の半導体部の断面図である。

(図3) 本実施例の半導体部の側面図である。

(図4) 本実施例の半導体部の底面から見た平面図である。

(図5) 本実施例の半導体部底面におけるリードフレームの構造を説明するための図である。

(図6) 本発明の他の実施例である半導体部の構造を説明するための図である。

(図7) 本発明の他の実施例である半導体部の構造を説明するための図である。

(符号の説明)

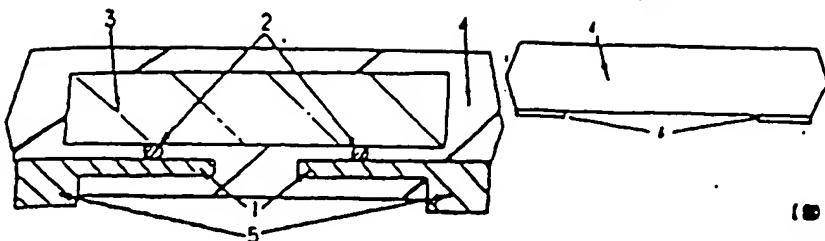
1…内部リード部分、2…パンプ、3…チップ、4…封閉用フィン、5…カギリード部分、6…封閉用フィン。

(B1)

(B2)

図1

図2

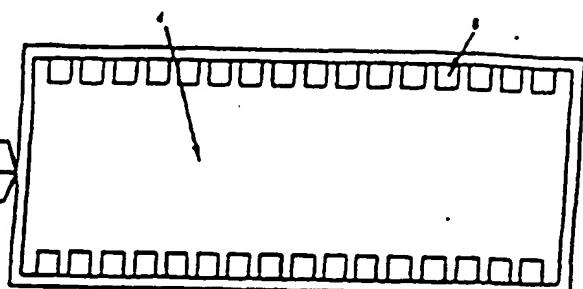
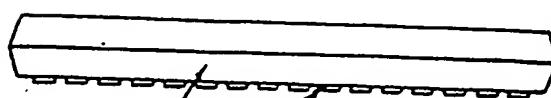


(B4)

(B3)

図3

図4

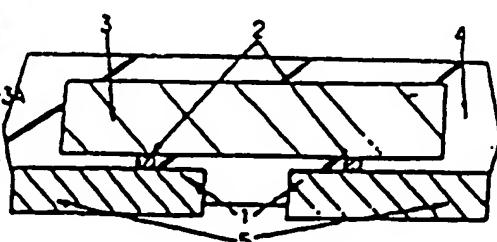
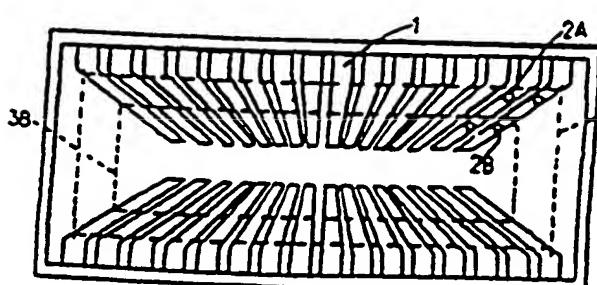


(B5)

図5

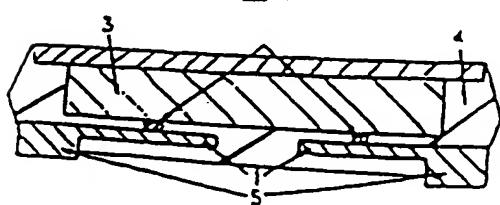
(B6)

図6



(B7)

図7



フロントページの記述

(81) 100.CI.

登録記号 市内監視番号

F 1

登録日 21/82

技術監視専用所

(72) 見明富 大谷 駿哉

東京都小平市上木本町5丁目20番1号

株式会社日立製作所半導体事業部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an

5        encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10      The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15      In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20      After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,  
25      attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a  
10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency thereof on a circuit board is degraded.  
15

20 An object of the invention is to provide a technique capable of improving the mounting efficiency of a semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

**(MEANS FOR SOLVING THE SUBJECT MATTERS)**

A representative of inventions disclosed in this application will now be summarized in brief.

30 In a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or  
an upper surface of the resin encapsulate.

For a semiconductor device in which a semiconductor  
chip and inner leads electrically connected to the  
5 semiconductor chip are encapsulated by resin, the present  
invention can improve the mounting efficiency of the  
semiconductor device on a circuit board by protruding a  
portion of each inner lead from the lower or upper surface  
10 of the resin encapsulate in such a fashion that the outer  
leads of the semiconductor device are received in an area  
occupied by the resin encapsulate, thereby reducing the  
mounting area of the outer leads by the area of outer leads  
laterally protruded from a resin encapsulate in the case of  
15 conventional semiconductor devices.

Now, the present invention will be described in  
detail in conjunction with embodiments thereof.

In the drawings associated with the embodiments,  
elements having the same function are denoted by the same  
20 reference numeral, and repeated description thereof will be  
omitted.

#### [EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device  
having a structure according to an embodiment of the  
25 present invention. The semiconductor device according to  
the embodiment of the present invention shown in Fig. 1 has  
a rectangular structure. Fig. 2 is a side view of the  
semiconductor device when viewed at the shorter side of the  
rectangular structure. Fig. 3 is a side view of the  
30 semiconductor device when viewed at the longer side of the  
rectangular structure. Fig. 4 is a plan view of the  
semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to 5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger 10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the 15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes, that is, the larger semiconductor chip 3A and smaller 20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or 25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the  
5 lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the  
15 encapsulate.

20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a  
5 portion of each inner lead from the lower or upper surface

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.